

Prof. L. Thiele

Technische Informatik 1 - HS 2011

Übung 8

Datum: 01.12.2011

Pipelining

1 Taktrate / Latenz

In dieser Aufgabe soll der Einfluss von Pipelining auf die Taktrate des Prozessors untersucht werden. Gegeben sei der in der Vorlesung vorgestellte Datenpfad der MIPS Pipeline-Architektur, siehe Abbildung 1. Gegeben seien weiterhin die in Tabelle 1 dargestellten Rechenzeiten für die einzelnen Stufen der Pipeline.

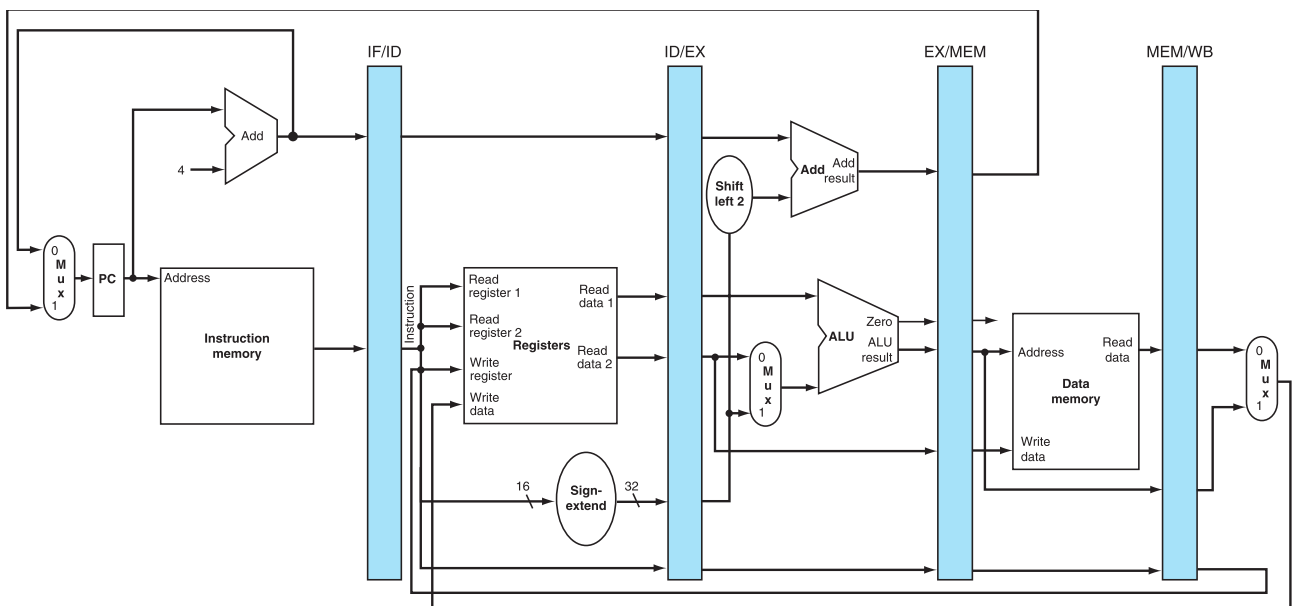


Abbildung 1: Datenpfad der MIPS Pipeline-Architektur

IF	ID	EX	MEM	WB
100 ps	120 ps	90 ps	130 ps	60 ps

Tabelle 1: Rechenzeiten der einzelnen Pipeline-Stufen

Nehmen Sie an, dass sowohl das Lesen als auch das Schreiben der Register zwischen den einzelnen Pipeline-Stufen (d.h. der Puffer IF/ID, ID/EX usw.) eine zusätzliche Verzögerung von jeweils 15 ps erzeugt.

- (a) Wie gross ist die minimal zulässige Taktperiode der Pipeline-Architektur? Wie gross ist die minimal zulässige Taktperiode einer entsprechenden Einzeltakt-Architektur ohne Pipelining?

- (b) Wie gross ist die Ausführungszeit einer `lw` Instruktion in der Pipeline-Architektur? Ignorieren Sie mögliche Hazards/Stalls. Wie gross ist die Ausführungszeit in der Einzeltakt-Architektur?
- (c) Wie lange braucht die Pipeline-Architektur, um ein Programm mit 100 Instruktionen ohne Abhängigkeiten und Sprünge auszuführen? Wie gross ist der Speed-up im Vergleich zur Ausführung auf einer Einzeltakt-Architektur?
- (d) Nehmen Sie an, Sie können eine der fünf Stufen der beschriebenen Pipeline in zwei Unterstufen mit halber Rechenzeit aufteilen. Welche Stufe würden Sie wählen? Wie gross ist die neue minimale Taktperiode?
- (e) Nehmen Sie an, dass alle Stufen der beschriebenen fünfstufigen Pipeline in n Unterstufen aufgeteilt werden, wobei sich die Rechenzeiten der ursprünglichen Stufen gleichmässig auf die entsprechenden Unterstufen aufteilen. Die Latenz von Puffer-Registern zwischen Pipeline-Stufen bleibt unverändert. Geben Sie die neue minimale Taktperiode für $n = 5$ und $n = 10$ an und berechnen Sie für beide Fälle die Ausführungszeit eines Programmes mit 100 Instruktionen ohne Abhängigkeiten und Sprünge. Geben Sie zudem für beide Fälle die Anzahl benötigter Puffer-Register an. Welchen Trend stellen Sie für eine steigende Anzahl der Pipeline-Stufen fest?

2 Daten-Hazards und Forwarding

In dieser Aufgabe betrachten wir Anpassungen des Forwarding-Mechanismus und der Pipeline-Stufen des MIPS32 Prozessors. Nehmen Sie an, dass der Prozessor keine Zusatzlogik zur Vorzeitigen Sprungauflösung hat, d.h. Sprungentscheidungen sind nach der MEM-Stufe der jeweiligen Sprung-Instruktionen bekannt. Gehen Sie zudem davon aus, dass keine Branch Delay Slots eingesetzt werden.

Gegeben sei folgendes MIPS Assembler-Programm. Das Programm implementiert eine Funktion, die das Maximum in einem Array von positiven Integer-Werten ermittelt. Die Startadresse des Arrays wird im Register `$a0` übergeben, die Länge des Arrays im Register `$a1`. Das Ergebnis der Funktion wird im Register `$v0` zurückgegeben. Das Register `$v0` sei vor dem Funktionsaufruf mit dem Wert 0 initialisiert.

```

loop:  lw    $t0,0($a0)
       slt  $t1,$v0,$t0
       beq  $t1,$zero,l1
       addi $v0,$t0,0
l1:    addi $a0,$a0,4
       addi $a1,$a1,-1
       bne  $a1,$zero,loop
       jr   $ra

```

Zur Vereinfachung nehmen wir für diese Aufgabe an, dass alle Sprünge im Programm perfekt vorhergesagt werden, d.h. dass es bei der Ausführung nie Ablauf-Hazards gibt.

Tabelle 2 zeigt die zeitliche Belegung der Pipeline (Pipelining Diagramm) für eine Schleifenausführung des obigen Programms auf der in der Vorlesung vorgestellten MIPS Prozessorarchitektur mit fünfstufiger Pipeline und vollem Forwarding. Dabei wird angenommen, dass das Programm in der dritten Instruktion (`beq`) nicht springt. Im Diagramm ist ersichtlich, dass die Pipeline trotz des verwendeten Forwarding-Mechanismus im vierten Taktzyklus gestallt werden muss. Dies ist aufgrund der Datenabhängigkeit der zweiten Instruktion (`slt`) von der ersten Instruktion (`lw`) nötig.

- (a) Betrachten Sie nun eine veränderte Version der MIPS Pipeline-Architektur in der ausschliesslich ALU-ALU Forwarding unterstützt wird. Das bedeutet, dass nur die Ergebnisse der EX Stufe an die EX Stufe der folgenden Instruktion weitergeleitet werden können, nicht aber die Ergebnisse

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Loop: lw \$t0,0(\$a0)	IF	ID	EX	MEM↓	WB										
slt \$t1,\$v0,\$t0		IF	ID	-	↑EX↓	MEM	WB								
beq \$t1,\$zero,l1			IF	-	ID	↑EX	MEM	WB							
addi \$v0,\$t0,0					IF	ID	EX	MEM	WB						
l1: addi \$a0,\$a0,4						IF	ID	EX	MEM	WB					
addi \$a1,\$a1,-1							IF	ID	EX↓	MEM	WB				
bne \$a1,\$zero,loop								IF	ID	↑EX	MEM	WB			

Tabelle 2: Pipelining Diagramm für Ausführung mit vollem Forwarding

der MEM Stufe. Um wie viele Taktzyklen verlängert sich die Schleifenausführung im Vergleich zur Architektur mit vollem Forwarding? Nehmen Sie wiederum an, dass in der dritten Instruktion (`beq`) nicht gesprungen wird.

- (b) Für die zwei Arten der Pipeline-Architektur (volles Forwarding, nur ALU-ALU Forwarding) seien die folgenden Taktperioden gegeben.

Volles Forwarding	ALU-ALU Forwarding
200 ps	160 ps

Wie lange brauchen die zwei Architekturen, um das obige Programm für ein Array der Grösse 100 (`$a1 = 100`) auszuführen? Nehmen Sie dabei an, dass in der dritten Instruktion der Schleife (`beq`) nie gesprungen wird. Für welche der zwei Architekturen entscheiden Sie sich wenn Sie die Programmablaufzeit minimieren wollen?

- (c) Gegeben sei die Pipeline-Architektur mit ausschliesslichem ALU-ALU Forwarding wie oben beschrieben. Ordnen Sie die Instruktionen des Programms so um, dass während der Ausführung keine Stalls aufgrund von Daten-Hazards nötig sind. Die Semantik des Programms muss dabei unverändert bleiben.
- (d) Gegeben sei der in der Vorlesung besprochene Datenpfad mit vollem Forwarding zur Minderung von Daten-Hazards, siehe Abbildung 2. Passen Sie den Datenpfad so an, dass nur ALU-ALU Forwarding unterstützt wird.

- Streichen Sie insbesondere alle Daten- und Steuerungsleitungen durch, die nicht benötigt werden und passen Sie die Forwarding Unit sowie die Multiplexer entsprechend an. Beachten Sie, dass die in den Zwischenregistern gepufferten Steuerungssignale nicht nur von der Forwarding Unit, sondern auch zur Ansteuerung der Komponenten in der jeweiligen Stufe (ALU, Data Memory, Multiplexer usw.) verwendet werden.¹
- Beschreiben Sie die Forwarding-Funktionen zur Ansteuerung der angepassten Multiplexer (Als Vorlage dienen die Forwarding-Funktionen auf den Seiten 9-32 und 9-33 der Vorlesungsunterlagen).

- (e) Nehmen Sie an, dass im MIPS Instruktionssatz die `load/store` Instruktionen so verändert werden, dass die Zugriffadresse im Speicher ausschliesslich durch ein Register angegeben wird (ohne Offset). In diesem Fall benötigen diese Instruktionen die ALU nicht mehr. Das bedeutet, dass die EX Stufe und die MEM Stufe überlappt werden können, da keine Instruktion beide Stufen verwendet. Als Ergebnis erhält man eine neue vierstufige Pipeline-Architektur: IF, ID, EX-MEM, WB.

Das obige Programm (in der ursprünglichen Instruktionenreihenfolge) soll nun auf der neuen Architektur ausgeführt werden.

- Passen Sie zunächst den Assemblercode des Programms auf den neuen Instruktionssatz an (Es reicht wenn Sie die Unterschiede angeben).
- Nehmen Sie an, dass die neue Pipelining-Architektur Forwarding von der EX-MEM Stufe zur EX-MEM Stufe unterstützt. Gibt es bei der Programmausführung noch Stalls aufgrund von Daten-Hazards? Begründen Sie Ihre Antwort.
- Wie lange dauert nun die Programmausführung für ein Array der Grösse 100 (`$a1 = 100`)? Nehmen Sie dabei an, dass die Taktperiode weiterhin 160 ps beträgt und dass in der dritten Instruktion der Schleife (`beq`) nie gesprungen wird.
- Wie gross ist der Speed-up für die Programmausführung im Vergleich zur fünfstufigen Pipeline mit ALU-ALU Forwarding?

¹Zur Vereinfachung ist in Abbildung 2 die Ansteuerung der einzelnen Komponenten nicht gezeigt.

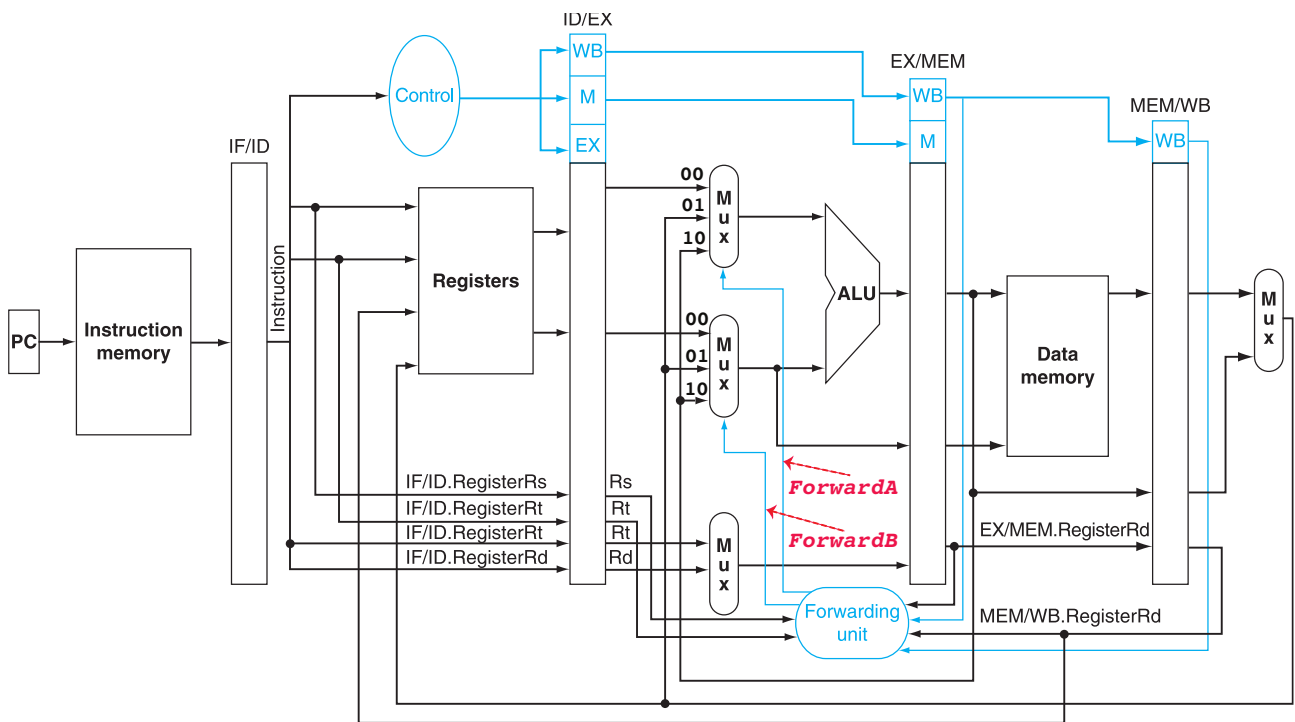


Abbildung 2: Daten-/Kontrollpfad für volles Forwarding

3 Sprung-Vorhersage

In dieser Aufgabe betrachten wir statische und dynamische Vorhersage von Sprüngen. Es sei das Programm aus Aufgabe 2 mit der ursprünglichen Reihenfolge von Instruktionen gegeben. Weiterhin sei die in der Vorlesung besprochene fünfstufige Pipeline-Architektur mit vollem Forwarding und ohne Branch Delay Slot gegeben. Betrachten Sie die Ausführung des Programms für folgendes Array mit 10 Werten: [5, 10, 8, 15, 7, 4, 22, 26, 3, 30].

3.1 Statische Sprung-Vorhersage

- Nehmen Sie an, die Sprung-Entscheidung sei nach der MEM Stufe der Sprung-Instruktionen bekannt. Welche statische Sprung-Vorhersage ist im gegebenen Programm besser für den Sprung in der Instruktion `beq` (Sprung nach `l1`)? Welche statische Sprung-Vorhersage ist besser für den Sprung in der Instruktion `bne` (Sprung nach `loop`)? Begründen Sie Ihre Antworten.
- Wie lange dauert die Programmausführung für das obige Array und den gewählten statischen Sprung-Vorhersagen? Nehmen Sie eine Taktperiode von 200 ps an.
- Nehmen Sie nun an, die Sprung-Entscheidung sei bereits nach der ID Stufe bekannt (siehe Seite 9-48 der Vorlesungsunterlagen). Durch die zusätzliche Logik für die Sprung-Auflösung in der ID Stufe steige die Taktperiode der Architektur auf 230 ps. Wie lange dauert die Programmausführung für das obige Array und den gewählten statischen Sprung-Vorhersagen? Lohnt sich die zusätzliche Logik zur frühzeitigen Sprung-Auflösung, um die Programmausführung zu beschleunigen?

3.2 Dynamische Sprung-Vorhersage

Für den Sprung `beq` nach `l1` soll nun ein 2-Bit-Prädiktor P1 zur dynamischen Sprung-Vorhersage verwendet werden. Ebenso soll für den Sprung `bne` nach `loop` ein 2-Bit-Prädiktor P2 zum Einsatz kommen. Das Verhalten von 2-Bit-Prädiktoren wurde in der Vorlesung besprochen und ist in Abbildung 3 in Form

eines endlichen Automaten beschrieben. Nehmen Sie an, dass sich zu Beginn der Programmausführung P1 im Zustand 'strongly taken' befindet, während sich P2 im Zustand 'strongly not taken' befindet.

Simulieren Sie die dynamische Sprung-Vorhersage für die oben beschriebene Programmausführung. Vervollständigen Sie dazu die Tabellen 3 und 4.²

Für welchen Sprung funktioniert die dynamische Prädiktion besser? Wann ist der Einsatz eines Sprung-Prädiktors empfehlenswert? Begründen Sie Ihre Antwort.

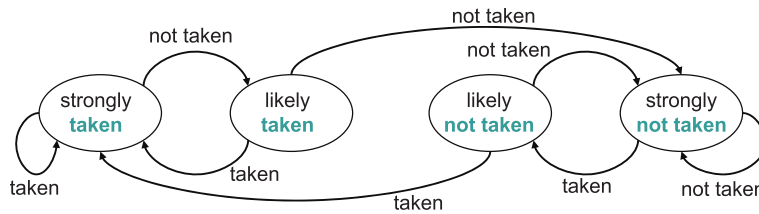


Abbildung 3: 2-Bit-Prädiktor für dynamische Sprung-Vorhersage

Iteration der Schleife	1	2	3	4	5	6	7	8	9	10
Zustand P1 vor beq Instruktion	ST	LT								
Sprung-Vorhersage für beq	T									
Sprung-Entscheidung für beq	NT									
Vorhersage korrekt	nein									

Tabelle 3: Dynamische Sprung-Vorhersage für beq

Iteration der Schleife	1	2	3	4	5	6	7	8	9	10
Zustand P2 vor bne Instruktion	SNT	LNT								
Sprung-Vorhersage für bne	NT									
Sprung-Entscheidung für bne	T									
Vorhersage korrekt	nein									

Tabelle 4: Dynamische Sprung-Vorhersage für bne

²Verwenden Sie folgende Abkürzungen. Sprung-Vorhersagen und -Entscheidungen: T = 'taken', NT = 'not taken'. Zustände Prädiktoren: SNT = 'strongly not taken', LNT = 'likely not taken', ST = 'strongly taken', LT = 'likely taken'.