

Prof. L. Thiele

Technische Informatik 1 - HS 2011

Übung 10

Datum: 15.12.2011

1 Speicherhierarchien (Cache)

Gegeben seien drei Rechner mit unterschiedlichen Cache-Konfigurationen:

- Rechner A: direkte Abbildung (direct-mapped).
- Rechner B: teilassoziativ mit 2 Einträgen pro Index (2-way set associative).
- Rechner C: vollassoziativ.

Jeder Cache habe eine Kapazität von 4 Blöcken á 2 Worte.

- (a) Berechnen Sie für jeden Rechner die effektive Cachegrösse in Bit. Gehen Sie hierbei von einer 32-Bit-Byteadressierung aus. Von den Statusbits soll lediglich das Valid-Bit berücksichtigt werden, andere Statusbits (Dirty-Bit, LRU, etc.) sind in dieser Teilaufgabe nicht zu berücksichtigen.
- (b) Nach dem Einschalten des Rechners wird sequentiell auf die folgenden *Wortadressen* zugegriffen: 19, 10, 19, 14, 11, 15. Wie ist der Zustand der einzelnen Caches vor und nach jedem Speicherzugriff? Wann treten Fehlzugriffe (Misses) auf? Nennen Sie für jeden Cache die Zahl der insgesamt auftretenden Fehlzugriffe.

Nehmen Sie an, dass als Blockersetzungsschema das LRU-Verfahren (least recently used) benutzt wird, d.h. der am längsten unbenutzte Block wird ersetzt.

- (c) Betrachten Sie die folgenden Fehlzugriffsraten:
- Rechner A: Bei Instruktionen 4%, bei Daten 8%.
 - Rechner B: Bei Instruktionen 2%, bei Daten 5%.
 - Rechner C: Bei Instruktionen 2%, bei Daten 4%.

Bei den drei Rechnern seien 3/5 aller Instruktionen Speicherinstruktionen, die Miss-Strafe betrage 7 Zyklen bei Rechner A und 11 Zyklen bei den Rechnern B und C. Welcher Rechner wendet am meisten Zyklen für die Behandlung von Cache-Misses auf?

- (d) Wir möchten Rechner C um den Faktor 4 beschleunigen unter der Annahme, dass die Speicherzugriffszeiten unverändert bleiben. Um welchen Faktor muss dann die Taktrate erhöht werden? Der CPI bei perfektem Cache sei 3.388, bezüglich der Miss-Raten gelten die Angaben aus Teilaufgabe c.